

РЕАЛИЗАЦИЯ ЛОГИЧЕСКИХ СХЕМ В ВЫЧИСЛИТЕЛЬНОЙ СРЕДЕ

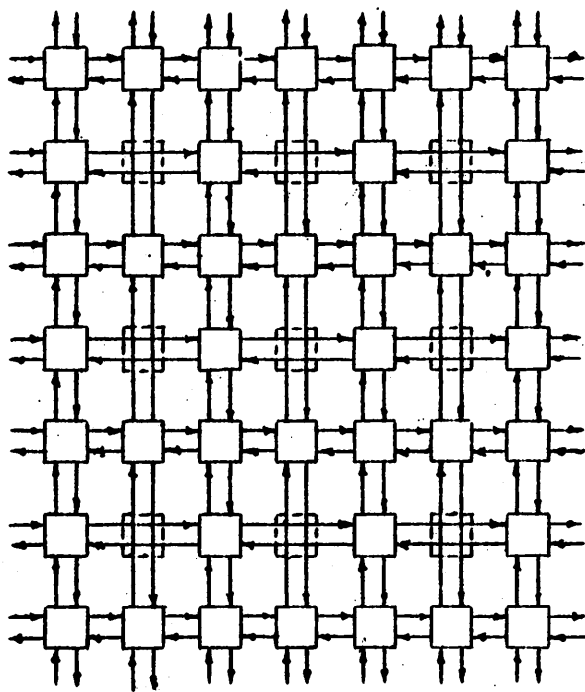
А.Я. Мишин, В.Г. Хрущёв

(Новосибирск)

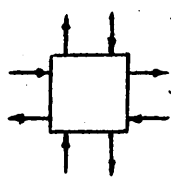
Описываемая вычислительная система представляет собой вычислительное устройство с переменной структурой, состоящее из цифровой вычислительной машины (ЦВМ) и блока вычислительной среды (ВС), который позволяет для каждой задачи создать специализированное вычислительное устройство путем программной настройки элементов вычислительной среды (ЭВС) [1], [2].

Блок ВС представляет собой структурно-однородное логическое устройство, состоящее из одинаковых и одинаково соединенных друг с другом элементов (рис.1а). Структура ВС образована из элементов двух типов: функционального ЭВС (рис.1б) и соединительного элемента (рис.1в), реализующего соединение "крест без точки".

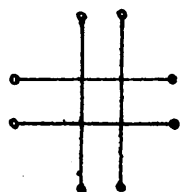
Блок-схема функционального ЭВС представлена на рис.2, где знаками \vee , \wedge , \neg обозначены элементы, реализующие соответственно переключательные функции "дизъюнкция", "конъюнкция", "инверсия". Элемент имеет четыре логических входа, четыре логических выхода и пять настроечных входов, предназначенных для изменения состояний триггеров, которые управляют логическими входами элемента. Функциональный ЭВС в дальнейшем будем называть просто ЭВС.



a)



б)



в)

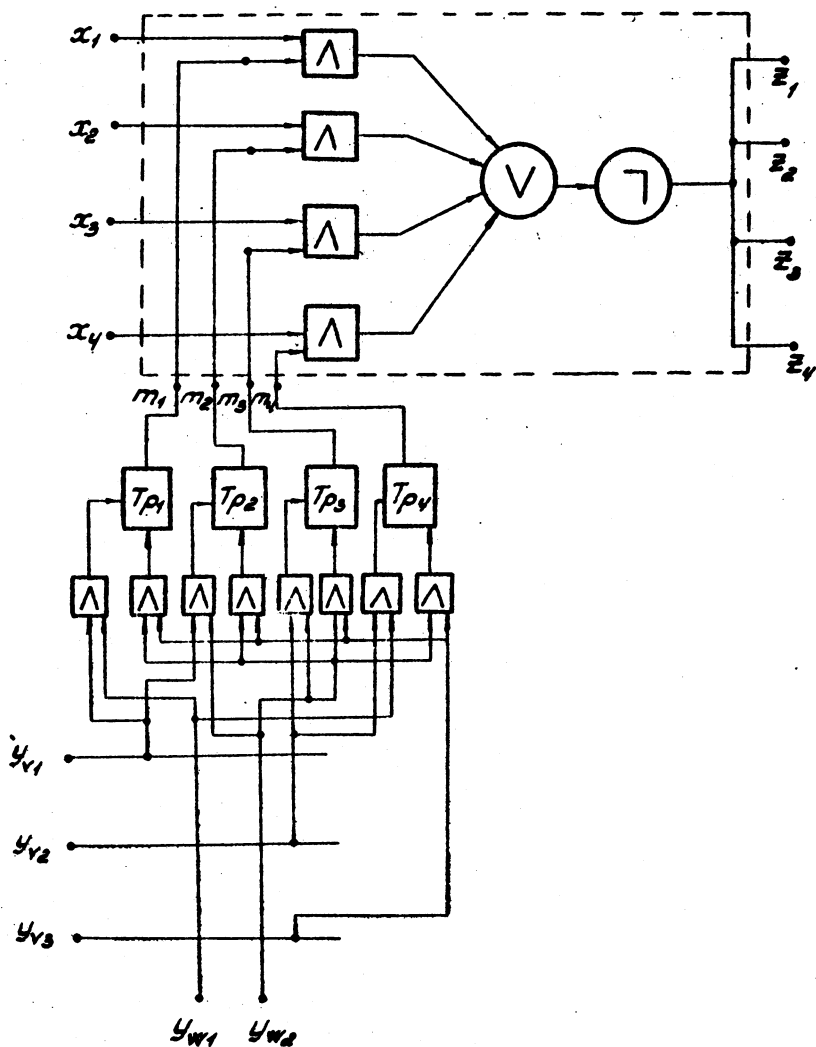


Рис. 2

Более подробно вычислительная система описана в работе [3].

Для реализации логической схемы в ВС необходимо установить триггеры ЭВС в такие состояния, чтобы в структуре ВС между ЭВС образовались связи, соответствующие граф-схеме реализуемого логического устройства. Для этого граф-схема реализуемого устройства переносится на специальный бланк (рис.5), на котором в виде квадратов изображены ЭВС. Сторона квадрата разделена на две части, одна из которых (отмеченная на рис.5 точкой), соответствует логическому входу ЭВС, а другая (без точки) - логическому выходу. Графически направление передачи информации обозначается стрелкой, направленной от логического выхода элемента к логическому входу соседнего элемента.

После переноса граф-схемы на бланк, в тех частях квадрата, к которым подходит стрелка, проставляются "1", а в остальных - "0", "1" означает разрешение, а "0" - запрет прохождения сигнала через соответствующий логический вход ЭВС.

Заполнение бланка "1" и "0" определяет настроенную информацию блока вычислительной среды. Эта информация последовательно, строка за строкой, записывается в запоминающее устройство ЦВМ, образуя массив настроенной информации, и используется ЦВМ для выработки сигналов настройки ВС на заданную схему.

В ЦВМ записана программа управления вычислительной средой, состоящая из двух частей:

I - программа настройки ВС на требуемую логическую схему,

II - программа управления схемой, реализованной в ВС.

Программа настройки включает в себе следующие подпрограммы:

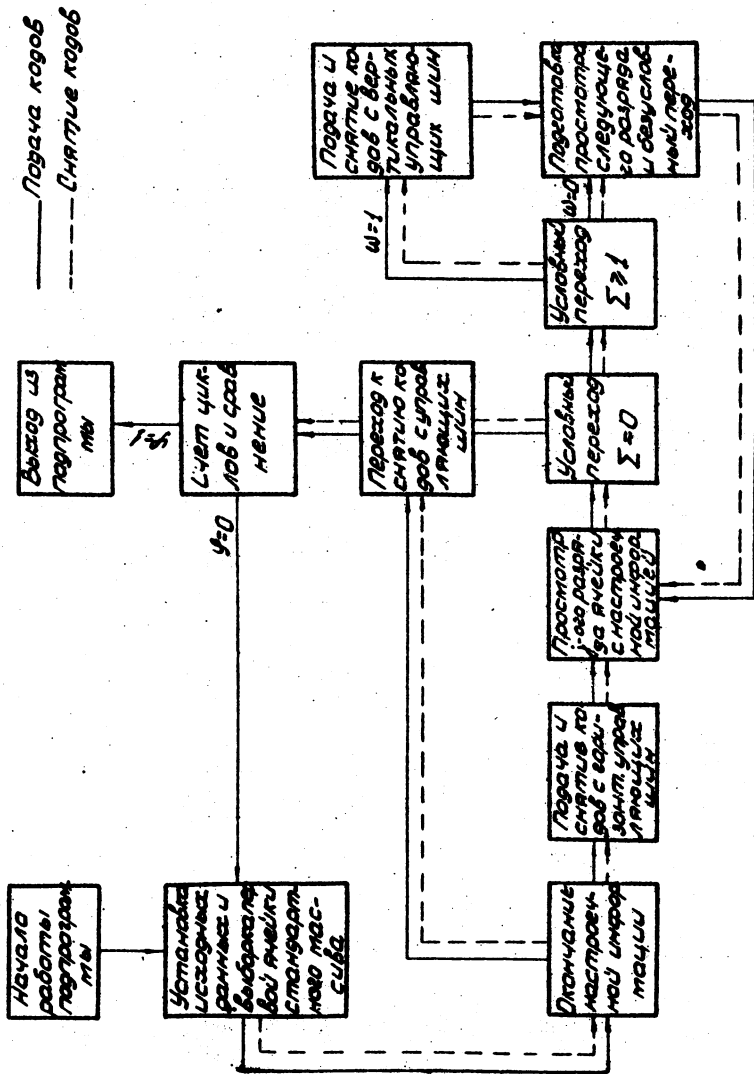
1 - подпрограмму установки в "0" триггеров ЭВС;

2 - подпрограмму установки в "1" триггеров ЭВС;

3 - подпрограмму "задержки времени".

Схема подпрограммы установки в "1" приведена на рис.3. Аналогично выглядит подпрограмма установки в "0".

Программа управления схемой, реализованной в ВС, является частью общей программы решения задачи на системе "ЦВМ-ВС" и составляется отдельно для каждой задачи.



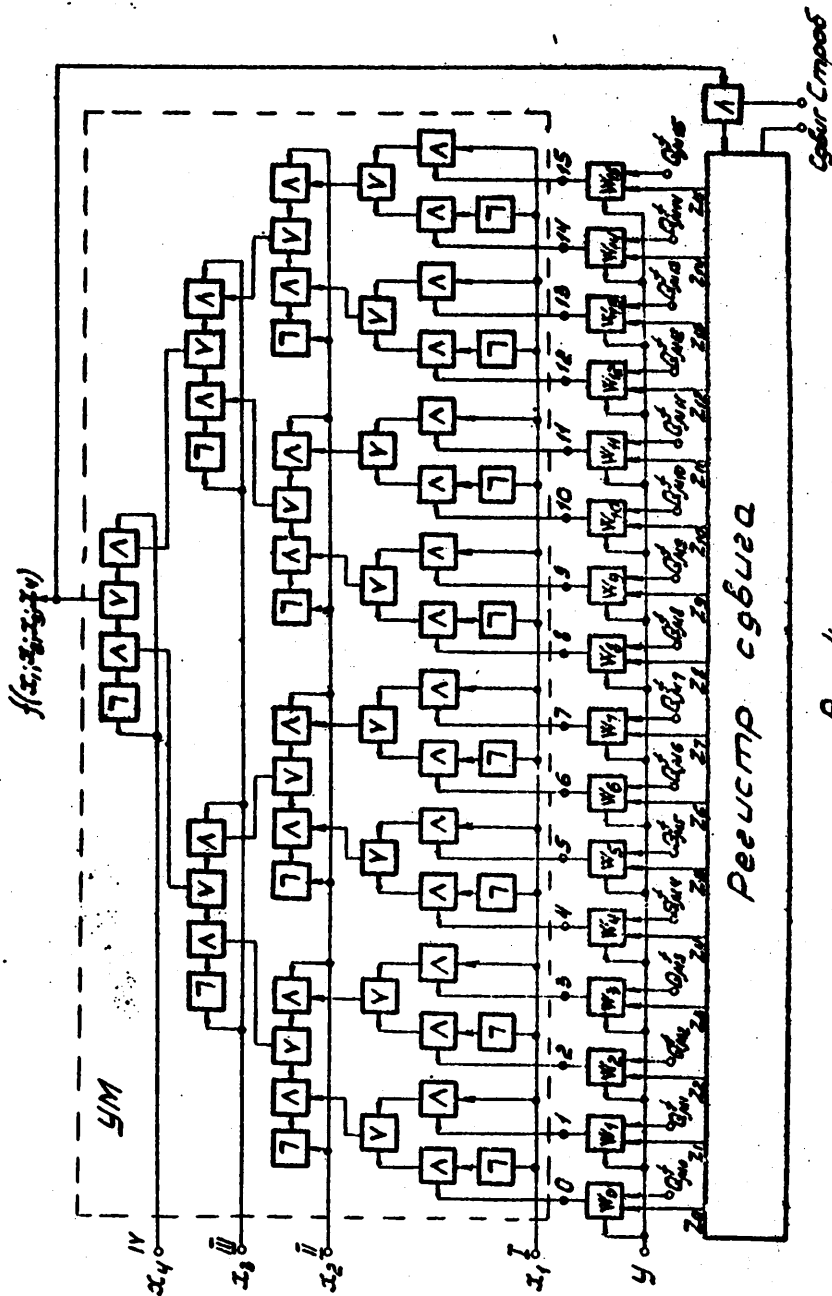


Схема универсального $(4 + 2^4, I)$ - полюсника, реализованного в ВС, представлена на рис.5 (блок УМ).

Входы УМ (I, П, Ш, IV), на которые подаются логические переменные, будем называть входными логическими полюсами; входы УМ (0, I, ..., IS), на которые подаются управляющие сигналы, будем называть управляющими полюсами. В соответствии с выражением (2), управляющий сигнал, подаваемый на i -ый управляющий полюс, равен значению реализуемой функции на наборе с номером i . Подавая на управляющие полюсы сигналы, соответствующие заданной ФАЛ, а на входные полюсы - сигналы, соответствующие набору значений переменных, на выходе УМ получим значение ФАЛ на этом наборе значений переменных.

Если объем ВС недостаточен для реализации УМ, соответствующего ФАЛ от n переменных, то реализация УМ проводится в несколько этапов. Рассмотрим этот случай для $k < n \leq 2k$, где k - число входных логических полюсов УМ, реализованного в ВС.

Процесс реализации ФАЛ заключается в следующем.

1. Каждой ФАЛ $f(x_1, x_2, \dots, x_n)$ ставится в соответствие 2^n - разрядный двоичный код Q^f , значение i -го разряда которого равно значению ФАЛ на наборе с номером i .

2. Код Q^f разбивается, начиная с младшего разряда, на 2^{n-k} частей, Q_μ^f , каждая из которых имеет длину 2^k двоичных разрядов ($\mu = 0, 1, \dots, 2^{n-k} - 1$). При этом код Q_0^f совпадает с первыми 2^k разрядами кода Q^f , код Q_1^f совпадает со следующими 2^k разрядами кода Q^f и т.д.

3. На входные логические полюсы УМ подаются значения первых k переменных из заданного набора.

4. На управляющие полюсы подаются последовательно (один за другим) коды $Q_0^f, Q_1^f, \dots, Q_{2^{n-k}-1}^f$ ($l = 2^{n-k}$) таким образом, что младший разряд кода Q_l^f подается на управляющий полюс 0, а старший разряд - на управляющий полюс с номером $2^k - 1$, значение сигнала на выходе УМ, соответствующее каждому коду Q_μ^f , запоминается в промежуточном регистре.

5. На входные логические полюсы УМ, начиная с полюса I, подаются значения оставшихся $(n - k)$ переменных из заданного набора; при этом, если $n - k < k$, то на неиспользуемые полюсы подается сигнал "0".

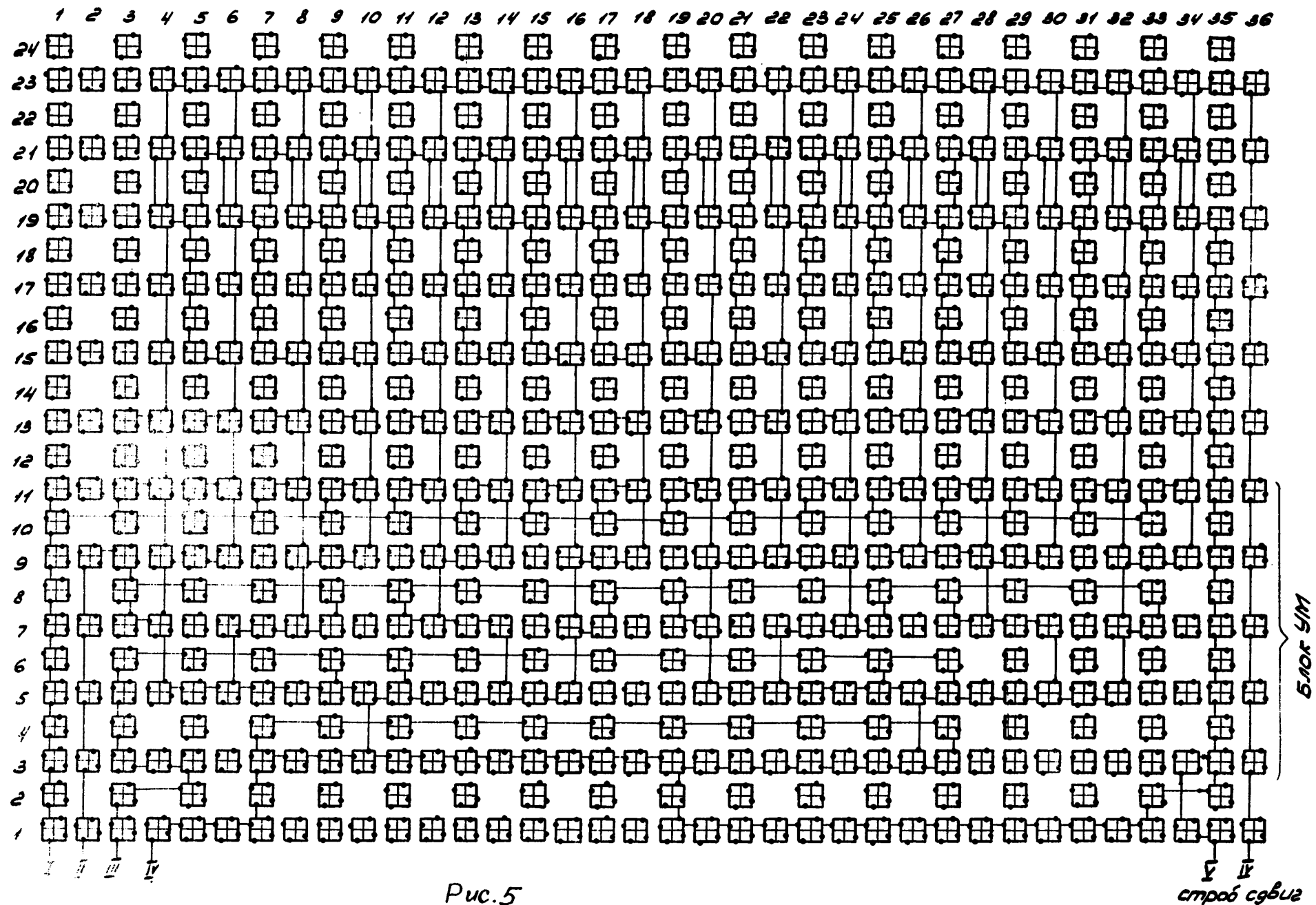


Рис. 5

6. На управляющие полюсы УМ подается код из промежуточного регистра так, что значение сигнала, соответствующее коду Q_0^f , подается на управляющий полюс 0; значение сигнала, соответствующее коду Q_1^f , - на управляющий полюс I и т.д.; при этом, если $1 < 2^k$, то на неиспользуемые управляющие полюсы подается сигнал "0".

7. С выхода УМ снимается значение ФАЛ $f(x_1, x_2, \dots, x_n)$ на рассматриваемом наборе значений переменных.

Аналогично осуществляется реализация ФАЛ от любого числа переменных.

Логическая схема устройства, реализующего описанный алгоритм, приведена на рис. 4, а её реализация в ВС - на рис. 5. Схема состоит из УМ, регистра сдвига, выполняющего функцию промежуточного, запоминающего регистра, и схем коммутации $W_0 - W_{15}$ управляющих входов УМ. Каждая из схем W_1 выполняет функцию:

$$W_1 = yz_1 \vee \bar{y} Q_{\mu_1}^f,$$

где y - управляющий сигнал;

z_1 - значение выходного сигнала 1-го разряда регистра сдвига;

$Q_{\mu_1}^f$ - значение 1-го разряда кода Q_{μ}^f . После записи в регистр сдвига значений 1 сигналов, соответствующих кодам $Q_0^f, Q_1^f, \dots, Q_{1-1}^f$, содержимое регистра сдвига сдвигается на $2^k - 1$ разрядов.

Управление схемой осуществляется командами с вычислительной машины. Для подачи на управляющие полюсы УМ кодов Q_{μ}^f используются настроечные входы ВС. Для этого триггера ЭВС, расположенных на пересечении строки I3 и столбцов 3-34, устанавливаются в такие состояния, при которых на управляющие полюсы УМ подаются либо сигналы с триггеров регистра сдвига, либо значения разрядов кода Q_{μ}^f . Если значение разряда кода Q_{μ}^f равно "1", то триггера ЭВС, расположенного на пересечении строки I3 и четного столбца, устанавливаются в состояние "0". Если значение разряда кода Q_{μ}^f равно "0", то триггер указанного ЭВС, разрешающий прием сигнала от ЭВС, расположенного на пересечении той же строки и нечетного столбца (триггера которого должны быть установлены "0"), устанавливается в состояние "1", а остальные триггера этого ЭВС - в состояние "0". Такой способ управления схемой дает возможность существенно увеличить количество входов в логическое по-

ле ВС и тем самым уменьшить (за счет соединительных каналов) затраты ВС на реализацию логических схем.

В рассмотренном примере в качестве исходных данных при реализации ФАЛ служит таблица истинности. Если ФАЛ задана в СДНФ, то вычисление таблицы истинности легко может быть реализовано в ВС путем последовательной подачи конъюнктивных членов на входные шины универсального дешифратора. На выходных шинах дешифратора вырабатываются значения ФАЛ. Каждый из сигналов, снимаемых с выходных шин дешифратора запоминается в регистре. После подачи всех конъюнкций в регистре будет находиться код длины 2^n (Q^T), соответствующий заданной ФАЛ.

В общем случае конъюнкции, входящие в ДНФ, содержат различное число букв. Процесс вычисления таблицы истинности ФАЛ, заданной в нормальной форме, рассмотрим на схеме, представленной на рис.6. Эта схема позволяет вычислить таблицу истинности ФАЛ, а также вычислить значение ФАЛ на заданном наборе значений переменных.

Основными блоками схемы являются: универсальный дешифратор, двоичный счетчик, схема управления входами дешифратора, регистр параллельного действия и схема формирования значения функций на наборе значений переменных.

Для приведения ДНФ к СДНФ используется преобразование

$$x_{\alpha_1} \dots x_{\alpha_k} = x_{\alpha_1} \dots x_{\alpha_k} \left(\bigvee_{\sigma_{\alpha_{k+1}}, \dots, \sigma_{\alpha_n}} x_{\alpha_{k+1}}^{\sigma_{\alpha_{k+1}}} \cdot x_{\alpha_{k+2}}^{\sigma_{\alpha_{k+2}}} \cdot \dots \cdot x_{\alpha_n}^{\sigma_{\alpha_n}} \right),$$

где $\bigvee_{\sigma_{\alpha_{k+1}}, \dots, \sigma_{\alpha_n}} \alpha_{\alpha_{k+1}}, \dots, \alpha_{\alpha_n}$ означает логическую сумму по всем

Это преобразование реализуется в схеме при помощи счетчика и схемы управления входами дешифратора.

Каждой конъюнкции ставится в соответствие два кода: код $A = \{a_1, a_2, \dots, a_n\}$ и код $B = \{b_1, b_2, \dots, b_n\}$, где a_i и $b_i \in \{0, 1\}$. Коды A и B записываются по следующему правилу:

$$a_i = \begin{cases} 1, & \text{если } i\text{-ая переменная не входит в конъюнкцию,} \\ 0, & \text{если } i\text{-ая переменная входит в конъюнкцию.} \end{cases}$$

$$b_i = \begin{cases} 1, & \text{если } i\text{-ая переменная входит в конъюнкцию без отрицания.} \\ 0, & \text{если } i\text{-ая переменная не входит в конъюнкцию или входит с отрицанием.} \end{cases}$$

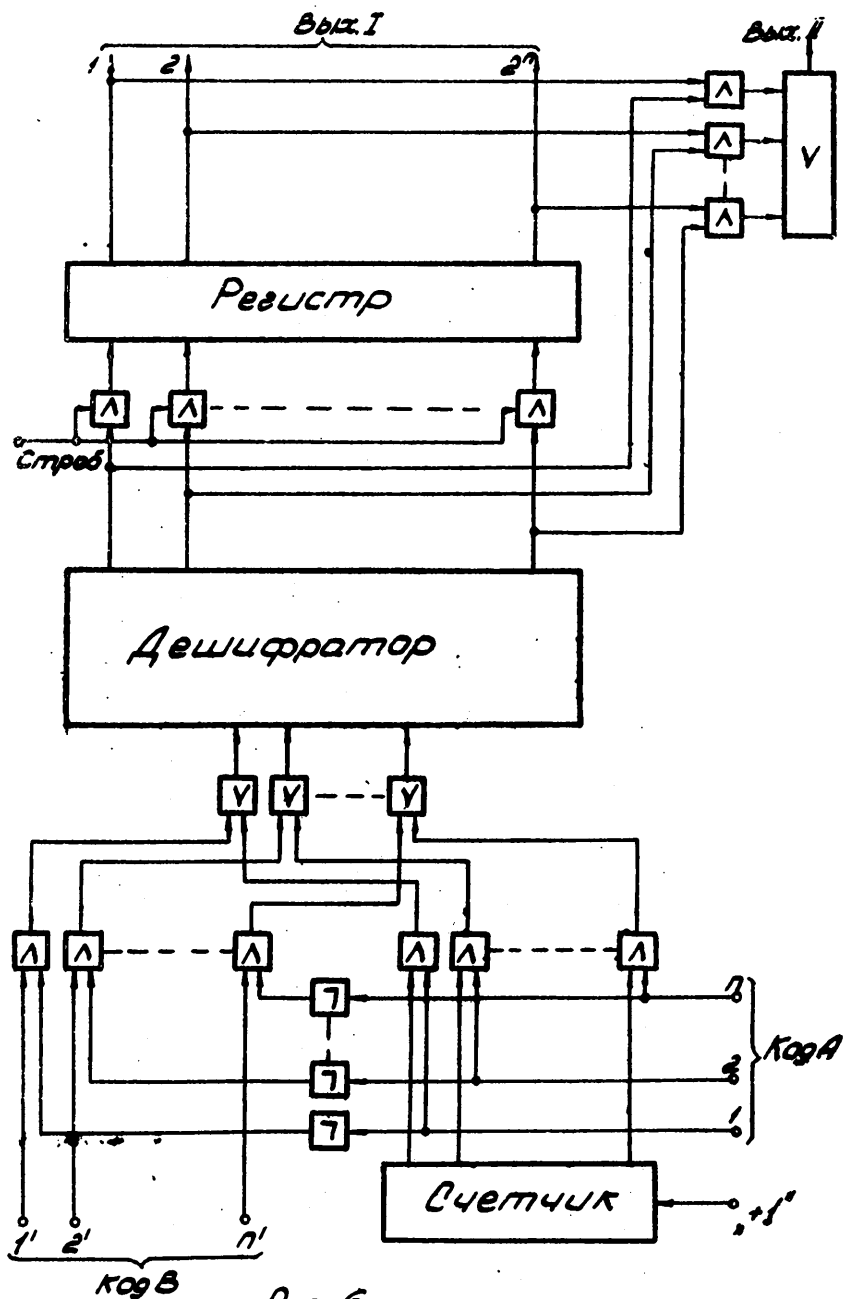
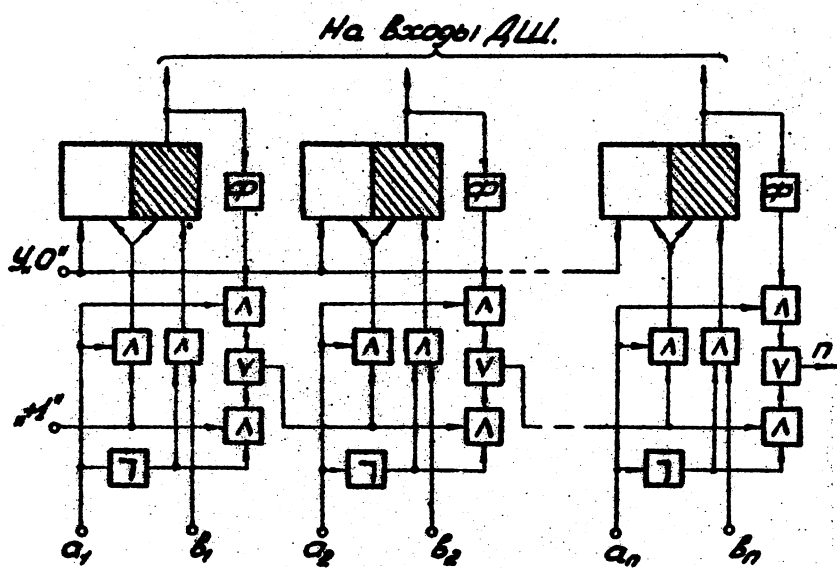


Рис. 6



П - сигнал переполнения

Рис. 7

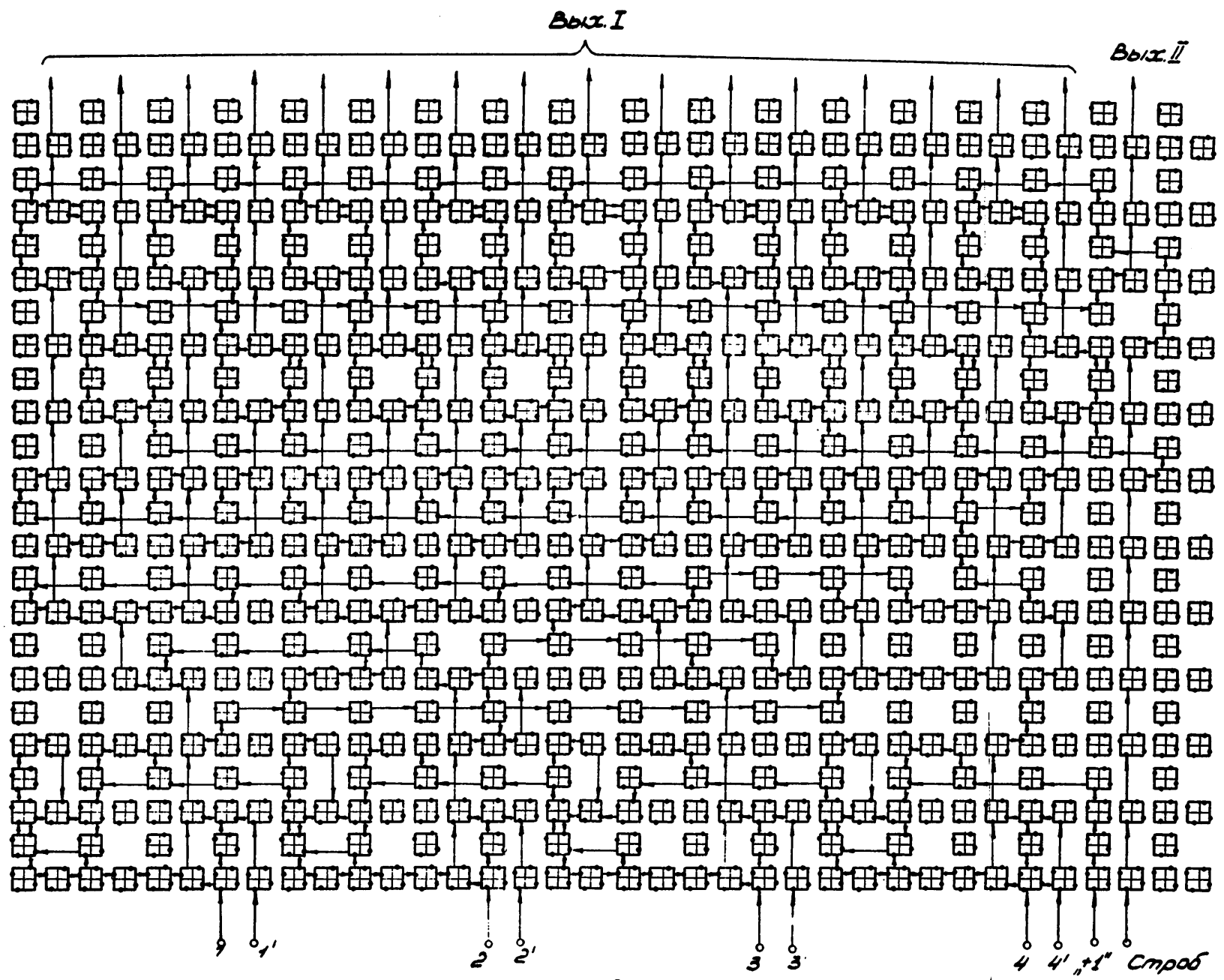


Рис. 8

Код А подается на входы $1, 2, \dots, n$, а код В - на входы $1', 2', \dots, n'$.

Если $a_i = 0$, то на i -ый вход дешифратора подается сигнал b_i ; если $a_i = 1$, то на вход дешифратора подается сигнал с выхода i -го разряда счетчика. После подачи на вход счетчика 2^n "единиц", на дешифратор будут выданы 2^{n-k} различных конъюнкций, где k - число разрядов, для которых $a_i = 1$. После подачи на вход счетчика 2^n "единиц" для каждой конъюнкции, на вход дешифратора будут последовательно поданы конъюнктивные члены СДНФ.

Вычисление значения ФАЛ на одном наборе значений переменных осуществляется после вычисления таблицы истинности ФАЛ, путем подачи значений переменных на входы схемы; с выхода I снимаются значения ФАЛ на всех 2^n наборах, а с выхода II - значение ФАЛ на наборе значений переменных. Быстродействие схемы можно увеличить введением в неё перестраиваемого счетчика (рис. 7), разрядность которого изменяется в зависимости от длины конъюнкции. Это дает возможность сократить время на формирование конъюнктивных членов СДНФ.

Пример реализации схемы рис. 6 в ВС представлен на рис. 8. Установка триггеров в состояние "0" производится сигналами, подаваемыми по настроечным шинам ВС, путем перестройки запоминающих элементов в ЭВС, как и в схеме рис. 5. Для обеспечения нормального функционирования рассмотренных схем прием информации в запоминающие элементы производится после окончания её переходных процессов в комбинационной схеме. Это достигается введением в схему вентилей, которые управляются командой с ЦВМ.

С целью уменьшения затрат ВС на реализацию регистров и счетчиков они выполнены по типу импульсно-потенциальных схем.

Время вычисления ФАЛ на системе "ВС-ЦВМ" складывается из времени настройки ВС на реализацию схемы для вычисления ФАЛ и времени управления этой схемой. Если время использования схемы много больше времени её настройки, то эффективность вычисления ФАЛ с помощью УМ, реализованного в ВС, определяется выражением

$$\eta = \frac{T_1}{T_2},$$

где $T_1 = \lambda t_k p$ - время вычисления на ЦВМ ФАЛ, представленной в ДНФ, с числом конъюнктивных членов p ($1 \leq p \leq 2^{n-1}$);

t_k - время выполнения одной команды; λ - число команд,

используемых для обработки одной конъюнкции ($\lambda = I2-I5$);
 $T_2 = 2t_k$ - время, затрачиваемое ЦВМ для подачи сигналов на логические и управляющие полюсы УМ и снятия результата вычисления с выхода УМ. Таким образом $\eta = (5-7) \cdot 2^{n-1}$.

Если время использования схемы, реализованной в ВС, отличается незначительно от времени настройки, то выигрыш во времени вычисления ФАЛ на системе "ВС-ЦВМ" получается несущественный.

Л И Т Е Р А Т У Р А

1. Э.В. Евреинов, Ю.Г. Косарев. "Однородные универсальные вычислительные системы высокой производительности", Новосибирск, 1966.
2. И.В. Прангшвили, Н.А. Абрамова, Е.В. Бабичева, В.В. Игнатуценко. "Микроэлектроника и однородные структуры для построения логических и вычислительных устройств", Москва, 1967.
3. А.И. Мишин. "Об одном варианте комбинированной вычислительной системы", сб. "Вычислительные системы", выпуск 26, Новосибирск, 1967г.
4. А.А. Койфман, В.А. Скоробогатов. Программирование для плоской вычислительной среды. Сб. "Вычислительные системы", выпуск 26, Новосибирск, 1967.