

ОДНОРОДНЫЕ ЛОГИЧЕСКИЕ СЕТИ ИЗ ФУНКЦИОНАЛЬНЫХ ЭЛЕМЕНТОВ С ИНДИВИДУАЛЬНОЙ НАСТРОЙКОЙ

И.П. Егоров

(Москва)

Рассмотрим вопросы построения асинхронных логических сетей однородных структур, функциональные элементы которых отвечают следующей модели. Функциональный элемент имеет N входов, на которые поступают сигналы (переменные x_1, x_2, \dots, x_N) с выходов смежных функциональных элементов сети, а также M выходов, связанных со входами смежных функциональных элементов сети. Информация о настройке элемента — сигналы Y_1, Y_2, \dots, Y_T и Z_1, Z_2, \dots, Z_P — поступают от коммутирующей сети однородной структуры на входы элемента $1, 2, \dots, T$ и $1, 2, \dots, P$, соответственно. Для простоты представим функциональный элемент состоящим из двух подэлементов: 1 и 2 (рис. 1).

Для подэлемента 1:

1. В случае, когда $T = 0$, $S = 1$, подэлемент 1 будет одновыходным однофункциональным. На выходе подэлемента постоянно реализуется одна фиксированная функция $f(x_1, x_2, \dots, x_Q)$.

2. Если $T > 0$, $S = 1$, то подэлемент 1 будет одновыходным многофункциональным. На выходе подэлемента реализуется функция $F = f_1(x_1, x_2, \dots, x_Q)R_1 \oplus f_2(x_1, x_2, \dots, x_Q)R_2 \oplus \dots \oplus f_L(x_1, x_2, \dots, x_Q)R_L$, где $L = 2^T$. Таким образом, подэлемент 1 настраивается на выполнение любой одной функции $f_i(x_1, x_2, \dots, x_Q)$ из набора $\Phi = \{f_1, f_2, \dots, f_L\}$.

3. При $T = 0$, $S > 1$ подэлемент 1 имеет S фиксированных и независимых выходов. Если f_1, f_2, \dots, f_S — функции, одновременно реализуемые подэлементом, то f_1 выполняется всегда на выходе 1, f_2 — на выходе 2 и т.д., то есть, по существу,

подэлемент I в этом случае состоит из S различных одновыходных однофункциональных подэлементов.

4. Если $T > 1$, $S > 1$, то подэлемент I включает в себя S одновыходных подэлементов, среди которых есть многофункциональные.

Подэлемент 2 (рис. I) представляет собой элементарный коммутатор, который под воздействием сигналов настройки z_1, \dots, z_p осуществляет функции развязки или соединения между смежными функциональными элементами логической сети. Для всех случаев, кроме одного, о котором будет сказано ниже, принципиально безразлично, отнесен ли подэлемент 2 ко входам подэлемента I ($N = K = Q$) или к его выходам ($S = K = M$).

Условимся называть граф G регулярным, если в нем можно выделить подграф G' , простым повторением которого воспроизводится граф G , т.е., если G есть соединение графов G' .

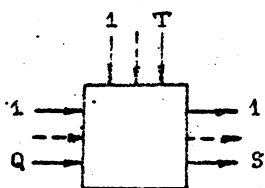
Однородная логическая сеть строится на базе любого регулярного графа из приведенных на рис. 2; для этого достаточно вершинам графа поставить в соответствии функциональные элементы, а дугам - связи между ними. При этом, если a_i - вершина графа логической сети, то $N = |U_{a_i}^-|$ и $M = |U_{a_i}^+|$,

где $|U_{a_i}^-|$ - число дуг, заходящих в a_i , $|U_{a_i}^+|$ - число дуг, исходящих из a_i . Таким образом, степень вершины

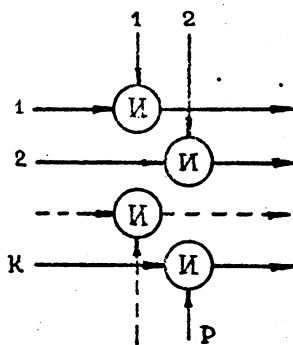
$\rho(a_i) = |U_{a_i}^+| + |U_{a_i}^-|$ - определяет число связей функционального элемента a_i со смежными элементами сети.

Если между двумя любыми смежными функциональными элементами логической сети a_i и a_j допускается передача сигнала только в одном направлении (односторонняя связь), то граф G будет антисимметрическим; если между a_i и a_j возможна передача сигнала в двух противоположных направлениях (двусторонняя связь), то логическая сеть представляется симметрическим графом; наконец, если в сети имеются односторонние и двусторонние связи, она изображается смешанным графом.

Если все коммутаторы (схемы совпадения) подэлемента 2 управляют общим сигналом z ($z = z_1 = z_2 = \dots = z_p$), то логическим сетям из таких функциональных элементов соответствуют только антисимметрические графы. При этом, если подэлемент I одновыходной, то с целью сокращения числа схем совпадения подэлемента 2, выгодно отнести последний к выходу подэлемента I (рис. 3).



Подэлемент 1



Подэлемент 2

Рис. 1.

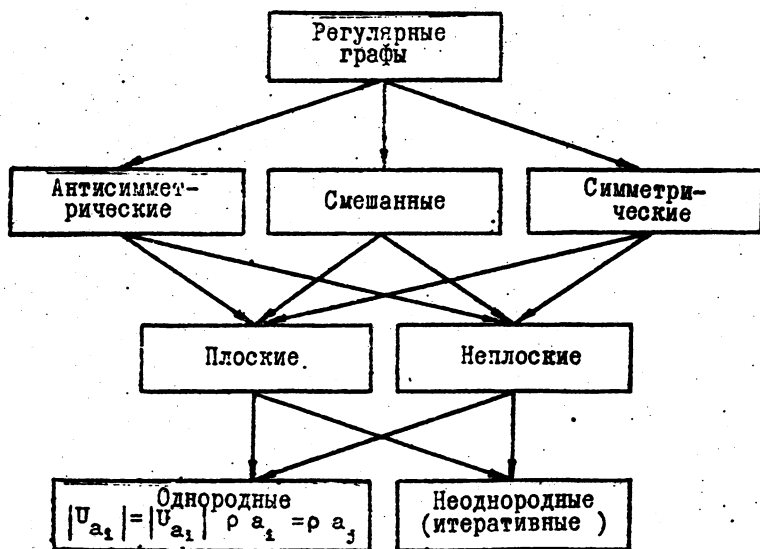


Рис. 2.

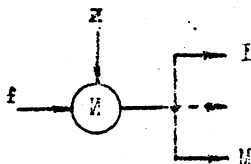


Рис. 3.

Если лишь часть коммутаторов подэлемента 2 управляется общим сигналом, то, при объединении функциональных элементов в сеть, некоторые связи между смежными элементами могут быть двусторонними: поэтому логические сети из таких элементов изображаются как антисимметрическими, так и смешанными графами. Но нец, при $z_1 \neq z_2 \neq \dots \neq z_p$ логическим сетям соответствуют антисимметрические, смешанные, а также симметрические графы.

Число p управляющих входов подэлемента 2 можно сократить в $\frac{p}{n}$ раз, если дополнить подэлемент дешифратором с n входами. Пример функционального элемента с дешифратором для сетей с $p = 16$ приведен на рис. 4а. В таких сетях и подобных им управляемые дешифраторы схемы совпадения коммутируют определенные входы и выходы подэлемента 1, как показано на рисунке (если схемы "И" управляют только входами или только выходами подэлемента 1, то невозможной становится организация в сети соединений типа приведенных на рис. 4б или 4в).

Если реализуемая в логической сети схема может быть представлена плоским ациклическим графом, т.е. без пересечений и обратных связей (комбинационные схемы, например), то для её размещения в сети достаточно, чтобы граф сети был плоским и связным. Для размещения схем с обратными связями, но без пересечений достаточно, чтобы граф сети был плоским и сильно связным.

При размещении в логических сетях схем, изображаемых неплоскими графами, возникает необходимость в проникновении - про-

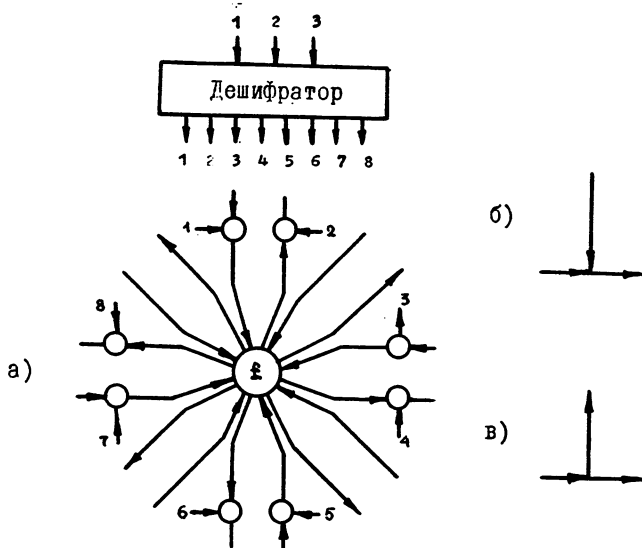


Рис. 4.

хождении сигналов по пересекающимся направлениям без взаимодействия в месте пересечения. Наиболее просто проникновение осуществляется на электрически разделенных (изолированных) проводниках (перекрещивающихся связях).

Если граф сети плоский и подэлемент I одновыходной, то возможно только функциональное проникновение [I]. Здесь приведем еще одну схему (рис. 5а), обеспечивающую функциональное проникновение. Представленная схема минимальна в том смысле, что все другие схемы, получающиеся в результате минимизации функции F , содержат пересекающиеся связи. Более просто функциональное проникновение осуществляется в случае, когда подэлемент I реализует функцию $F = x_1 x_2 \dots x_N + \bar{x}_1 \bar{x}_2 \dots \bar{x}_N$ или симметрическую функцию $S = S_1(N)$ от N переменных с характеристическим числом I (рис. 5б, для $N = 2$). Возможность функционального проникновения доказывает существование логических сетей, плоских в физическом смысле (без единого пересечения), а также тот факт, что проникновение, осуществляемое с помощью любого другого способа, не является принципиально обязательным свойством универсальных логических сетей.

Если подэлемент I многовыходной, то проникновение может реализовать функциональный элемент. Очевидно, в этом случае элемент будет обязательно содержать пересекающиеся связи.

Подэлементы I функциональных элементов, участвующих в реализации канала связи между двумя несмежными функциональными

элементами сети, выполняют функцию повторения или инверсии одной входной переменной. Для логических сетей, подэлементы I которой выполняют функции только $f(x) = \bar{x}$, необходимое и достаточное условие универсальности сети (заключающееся в возможности построения между любыми двумя функциональными элементами a_1 и a_2 как прямого, так и инверсного каналов связи) удовлетворится, если граф сети сильно связан и имеет циклы нечетной длины. Действительно, если такая сеть представляется симметрическим графом, то в цикле, содержащем вершины a_1, a_2, \dots, a_m , где m — нечетно, для любых двух несмежных вершин a_i и a_j всегда существует и прямой и инверсный каналы связей из a_i в a_j и обратно. Для сетей, изображаемых антисимметрическими или смешанными графами, аналогичные каналы можно отыскать на разных циклах нечетной длины. Поэтому для сетей из таких элементов справедливо утверждение:

Если граф G не является бихроматическим (т.е. его хроматическое число $\chi(G) > 2$), то он содержит циклы нечетной длины, и, следовательно, соответствующая ему сеть универсальна.

Обратное утверждение, т.е. "пусть G не является бихроматическим, но не содержит циклов нечетной длины", противоречит теореме Кенига [2]. В [2] описан алгоритм определения хроматического числа, однако для распознавания графа нет необходимости в точном определении его $\chi(G)$, что для некоторых графов может оказаться затруднительным; достаточно убедиться, что для G $\chi(G) > 2$.

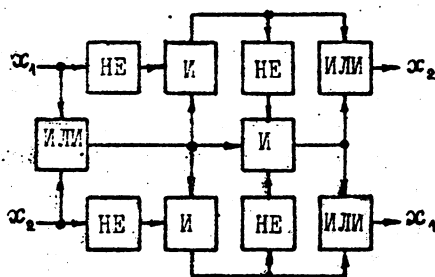
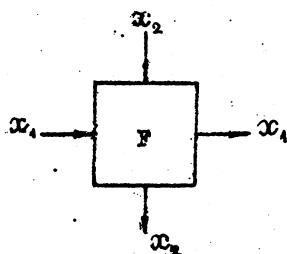
Для того, чтобы логические сети, изображаемые любыми регулярными сильно связными графами, в том числе и бихроматическими, были универсальны, достаточно:

1. для сетей, содержащих одновыходные однофункциональные подэлементы I , чередовать определенным образом инвертирующие и неинвертирующие подэлементы I (разработан алгоритм раскраски вершин графов таких сетей, позволяющий определить их универсальность);

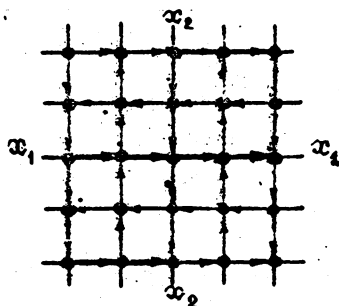
2. для сетей из одновыходных многофункциональных подэлементов I иметь в наборе Φ функции $f(x) = x$ и $f(x) = \bar{x}$;

3. для сетей из многовыходных подэлементов I иметь подэлементы, настраиваемые на проникновение.

Для различных функциональных элементов с помощью изложенного в работе [3] алгоритма можно найти экономичную деком-



а)



б)

Рис. 5.

позицию булевой функции, подлежащей реализации. Такой декомпозиции однозначно соответствует булев граф — граф декомпозиции. Если вершинам этого графа поставить в соответствие функциональные элементы, то получим экономичный граф G' логической сети, реализующей заданную функцию. Для последовательных функций не разработан метод нахождения минимальных декомпозиций, однако эти функции всегда можно представить какими-то G' -графами, вообще говоря, не экономичными.

Разобьем множество вершин G' на подмножества A и B : A — множество вершин, где $|U_a^-| > 1$, B — множество вершин, где $|U_a^-| = 1$ (может оказаться, что на G' таких вершин нет). Если на ребре G' , связывающем две вершины a_1 и a_2 из A имеется вершина из B , то канал связи $\mu(a_1, a_2)$ инверсный, в противном случае $\mu(a_1, a_2)$ — прямой. Произвольным вершинам графа G логической сети, отстоящим друг от друга на достаточном расстоянии, поставим в соответствие вершины A графа G' . Пользуясь известным положением [2], что элемент p_i^1 матрицы $p = M^\lambda$ (где M — матрица смежности графа) равен числу различных путей длины λ , идущих из a_1 в a_2 и существует такое значение α_0 для которого $M^{\alpha_0} = M^{\alpha_0+1} = M^{\alpha_0+2} = \dots$, а матрица M^{α_0} указывает кратчайшие пути из a_1 в a_2 , определяем на G в соответствии с G' каналы связи между отмеченными вершинами; таким образом, получаем подграф G'' , соответствующий реализуемой функции. Очевидно, процесс размещения можно начинать с выходной вершины G' и, переходя к следующим вершинам, отыскивать на G кратчайшие пути между ними. Для "сжатия"

G'' можно воспользоваться алгоритмом, приведенным в [4].

Размещенная в логической сети схема некоторого устройства проверяется на соответствие закону отработки на выходах схемы функций входных переменных заданному алгоритму функционирования.

В логической сети схема устройства организуется методом последовательного соединения функциональных элементов (в отличие от способа перестановки входов элементов). Поскольку такое соединение элементов соответствует математической операции суперпозиции [5], то естественно использовать эту операцию для анализа реализуемой схемы. Предполагаемая проце-

дура анализа состоит из четырех этапов.

1. На G'' отмечаются вершины a' , имеющие $|U_{a'}^-| > 1$. Эти вершины изображают элементы, выполняющие функцию $f(x_1, \dots, x_n)$, $n = |U_{a'}^-|$. Тем же способом обозначаются вершины G'' , соответствующие входным ($|U_{a'}^-| = 0$) и выходным ($|U_{a'}^+| = 0$) полюсам устройства. Каждый $\mu(a_1, a_2)$, выполняющий функцию $\varphi(x)$ передачи сигнала x от a_1 к a_2 , состоит из m элементов, соответствующих неотмеченным вершинам G'' .

2. Поскольку в общем случае μ может содержать m' элементов из m , каждый из которых выполняет функцию $f(x) = \bar{x}$, и $m - m'$ элементов, каждый из которых выполняет функцию $f(x) = x$, то подсчитывается $|m'|$ в каждом μ и из условия

$$\varphi(x) = \begin{cases} \bar{x} & \text{при } |m'| \text{ нечетном} \\ x & \text{при } |m'| \text{ четном} \end{cases}$$

определяется значение $\varphi(x)$, т.е. фаза сигнала, поступающего от a'_1 к a'_2 .

3. С учетом $\varphi(x)$ производится подстановка в функцию, реализуемую в a'_2 в качестве аргументов функций, обрабатываемых в a'_1 , a'_p , a'_k , ..., связанных с a'_2 каналами связи $\mu(a'_1, a'_2)$, $\mu(a'_p, a'_2)$, $\mu(a'_k, a'_2)$, ...

4. После преобразования получаем результат на выходных полюсах устройства; последний, если требуется, сравниваем с заданным алгоритмом функционирования.

Описанный способ пригоден для анализа схем, построенных в различных сетях, с той лишь разницей, что для сетей, функциональные элементы которых могут настраиваться на выполнение любой функции $f_i \in F$, операция суперпозиции на третьем этапе производится над функциями, на которые настроены элементы при реализации данного устройства.

Л И Т Е Р А Т У Р А

1. И.П. Егоров, И.В. Прангшвили, М.А. Ускач. Однородная микроэлектронная структура и реализация в ней логических функций.—Автоматика и телемеханика, 1967, № 7.
2. К. Берх. Теория графов и её применение. Изд. Мир, 1962.
3. В.Д. Казаков. Синтез минимальных структур с учетом декомпозиций булевых функций. Отчет лаб. № 3 ИАТ (ТК), 1965,
4. И.В. Прангшвили, Н.А. Абрамова, Е.В. Бабичева, В.В. Игнатушенко. Микроэлектроника и однородные структуры для построения логических и вычислительных устройств. Изд. Наука, 1967 .
5. В.М. Глушков. Синтез цифровых автоматов. Физматгиз, М., 1962.